

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-112745

(43)Date of publication of application : 21.04.2000

(51)Int.Cl.

G06F 9/06

G06F 15/78

(21)Application number : 11-042117

(71)Applicant : WINBOND ELECTRON CORP

(22)Date of filing : 19.02.1999

(72)Inventor : SAI SHAKUEI

(30)Priority

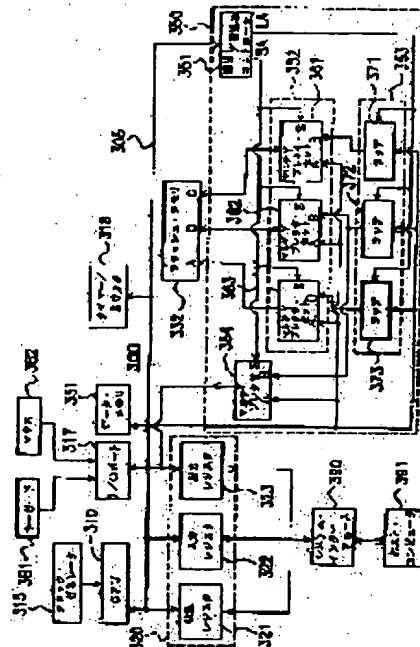
Priority number : 98 87116528 Priority date : 06.10.1998 Priority country : TW

(54) MICROCONTROLLER WITH ON-CHIP PROGRAMMING FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a microcontroller architecture programmable on a chip without detaching a microcontroller from a circuit board so as to easily reprogram firmware stored in a buried flash memory.

SOLUTION: In order to more easily program new firmware to a buried flash memory unit 332, the micro controller 300 is provided with the unit 332 capable of updating the contents on the chip without detaching all the microcontroller unit from the circuit board. Then, if usable as a data input controller connected between a host computer 391 and plural peripheral inputting devices such as a keyboard 381 and a mouse 382 and using the microcontroller architecture, programming is possible by software control from the host computer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-112745

(P2000-112745A)

(43) 公開日 平成12年4月21日(2000.4.21)

(51) Int.Cl.⁷

G 0 6 F 9/06
15/78

識別記号

5 4 0
5 1 0

F I

G 0 6 F 9/06
15/78

テマコード*(参考)

5 4 0 M
5 1 0 C

審査請求 未請求 請求項の数10 OL (全 14 頁)

(21) 出願番号 特願平11-42117

(22) 出願日 平成11年2月19日(1999.2.19)

(31) 優先権主張番号 8 7 1 1 6 5 2 8

(32) 優先日 平成10年10月6日(1998.10.6)

(33) 優先権主張国 台湾 (TW)

(71) 出願人 596068419

ウィンボンド エレクトロニクス コーポ
Winbond Electronics
Corp.

台湾 シンチュ市 サイエンス ベイスト
インダストリアル パーク クリエイシ
ョン ロード I I I 4 番

(72) 発明者 蔡 錫 榮

台湾新竹縣寶山鄉雙溪村雙豐路144號6樓

(74) 代理人 100086368

弁理士 萩原 誠

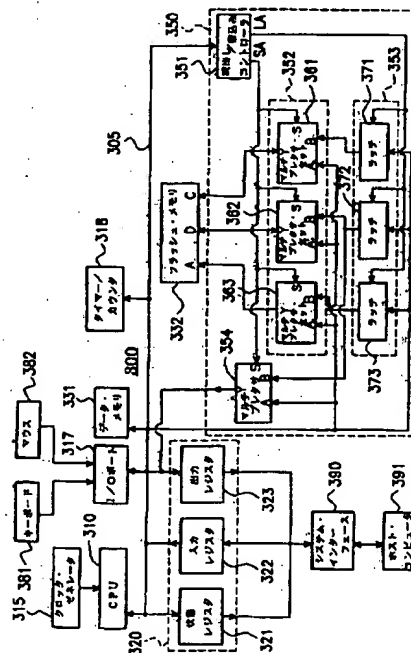
最終頁に続く

(54) 【発明の名称】 オンチップ・プログラミング機能を持つマイクロコントローラ

(57) 【要約】 (修正有)

【課題】 埋設フラッシュ・メモリに記憶のファームウェアが、従来技術より、再プログラミングが容易に行えるように、回路基板からマイクロコントローラを取外さなくても、チップ上でプログラミング可能なマイクロコントローラ・アーキテクチャ。

【解決手段】 マイクロコントローラ300は、新しいファームウェアを、より容易に、フラッシュ・メモリ・ユニット332にプログラミングできるように、回路基板からマイクロコントローラ・ユニットを全部取外さずに、チップ上で該内容を更新できる埋設フラッシュ・メモリ・ユニット332を有し、ホスト・コンピュータ391と、キーボード381およびマウス382のような、複数の周辺入力装置間に接続したデータ入力コントローラとして使用可能で、マイクロコントローラ・アーキテクチャを使用すれば、ホスト・コンピュータからのソフトウェア制御により、プログラミング可能である。



【特許請求の範囲】

【請求項1】 システム・インターフェースを通して外部装置に接続しているオンチップ・プログラミング機能を持つマイクロコントローラであって、CPUと、

前記CPUに接続している主データ・バスと、
前記CPUと前記システム・インターフェースとの間に接続しているI/Oレジスタ・セットと、

プログラム・コードを記憶するためのフラッシュ・メモリ・ユニットと、

前記フラッシュ・メモリ・ユニットにプログラムされる新しいファームウェアを受信するために、前記I/Oレジスタ・セットにその入力が見送られるラッチ・セットと、

読出しモードで動作中、前記フラッシュ・メモリ・ユニットを選択的に前記主データ・バスに接続し、書込みモードで動作中、前記ラッチ・セットの出力に接続するマルチプレクサ・セットと、

読出しモードで動作中、前記フラッシュ・メモリ・ユニットを前記主データ・バスに接続し、書込みモードで動作中、前記ラッチ・セットの出力に接続するように、前記マルチプレクサ・セットを制御するための選択信号を発生することができ、読出しモードで動作中、前記ラッチ・セットを動作不能にし、書込みモードで動作中、前記ラッチ・セットを動作可能にするように、前記ラッチ・セットを制御するためのイネーブル／ディスエーブル信号を発生することができるプログラミング制御ユニットとを備え、

読出しモードで動作している場合、前記読出し／書込みコントローラが、主データ・バスを前記フラッシュ・メモリに接続し、それにより、前記フラッシュ・メモリ・ユニットに記憶されているプログラム・コードを前記主データ・バスから取り出すことができるように、前記マルチプレクサ・セットを切り替え、

書込みモードで動作している場合には、前記読出し／書込みコントローラが、ラッチ・セットの出力を前記フラッシュ・メモリ・ユニットに接続し、それにより、前記I/Oレジスタ・セットを通して、前記システム・インターフェースから受信した前記新しいファームウェアを、最初、前記ラッチ・セットに送り、その後で、マルチプレクサ・セットを通して、ラッチ・セットからフラッシュ・メモリ・ユニットに送り、それにより、前記新しいファームウェアを前記フラッシュ・メモリ・ユニットに書き込むことができるように、前記マルチプレクサ・セットを切り替えることを特徴とするマイクロコントローラ。

【請求項2】 請求項1に記載のマイクロコントローラ・アーキテクチャにおいて、前記ラッチ・セットが、前記I/Oレジスタ・セットを通して、前記システム・インターフェースから受信した消去制御コードをラッチ

するために、前記マルチプレクサ・セットに接続している出力ポートと、前記主データ・バスに接続している入力ポートを有する第一のラッチと、

前記I/Oレジスタ・セットを通して、前記システム・インターフェースから受信したデータ信号をラッチするために、前記マルチプレクサ・セットに接続している出力ポートと、前記主データ・バスに接続している入力ポートを有する第二のラッチと、

前記I/Oレジスタ・セットを通して、前記システム・インターフェースから受信したアドレス信号をラッチするために、前記マルチプレクサ・セットに接続している出力ポートと、前記主データ・バスに接続している入力ポートを有する第三のラッチとを含むことを特徴とするマイクロコントローラ・アーキテクチャ。

【請求項3】 請求項2に記載のマイクロコントローラ・アーキテクチャにおいて、前記マルチプレクサ・セットが、

第一のポート、第二のポート、第三のポート、および選択制御ポートを有し、前記第一のポートが前記主データ・バスに接続し、前記第二のポートが前記ラッチ・セットの第一のラッチの出力ポートに接続し、前記第三のポートが前記フラッシュ・メモリ・ユニットに接続し、前記選択制御ポートが、前記読出し／書込みコントローラから前記選択信号を受信するように接続していて、前記第一のマルチプレクサが、読出しモードで動作している場合、前記第三のポートと前記第一のポートを相互接続するように、また書込みモードで動作している場合、前記第三のポートと前記第二のポートを相互接続するように、前記読出し／書込みコントローラにより制御される第一のマルチプレクサと、

第一のポート、第二のポート、第三のポート、および選択制御ポートを有し、前記第一のポートが前記主データ・バスに接続し、前記第二のポートが前記ラッチ・セットの第二のラッチの出力ポートに接続し、前記第三のポートが前記フラッシュ・メモリ・ユニットに接続し、前記選択制御ポートが、前記読出し／書込みコントローラから前記選択信号を受信するように接続していて、読出しモードで動作している場合、前記第三のポートと前記第一のポートを相互接続し、また書込みモードで動作している場合、前記第三のポートと前記第二のポートを相互接続するように、前記読出し／書込みコントローラにより制御される第二のマルチプレクサと、

第一のポート、第二のポート、第三のポート、および選択制御ポートを有し、前記第一のポートが前記主データ・バスに接続し、前記第二のポートが前記ラッチ・セットの第三のラッチの出力ポートに接続し、前記第三のポートが前記フラッシュ・メモリ・ユニットに接続し、前記選択制御ポートが、前記読出し／書込みコントローラから前記選択信号を受信するように接続していて、読出しモードで動作している場合、前記第三のポートと前記

第一のポートを相互接続し、また書込みモードで動作している場合、前記第三のポートと前記第二のポートを相互接続するように、前記読出し／書込みコントローラにより制御される第三のマルチプレクサとを備えることを特徴とするマイクロコントローラ・アーキテクチャ。

【請求項4】 請求項3に記載のマイクロコントローラ・アーキテクチャにおいて、さらに、
第一のポート、第二のポート、第三のポート、および選択制御ポートを有し、前記第一のポートが前記主データ・バスに接続し、前記第二のポートが前記第二のマルチプレクサ2の第二のポートに接続し、前記第三のポートが前記I/Oレジスタ・セットに接続し、前記選択制御ポートが、前記読出し／書込みコントローラから前記選択信号を受信するように接続して、読出しモードで動作している場合、前記第三のポートと前記第一のポートを相互接続し、また書込みモードで動作している場合、前記第三のポートと前記第二のポートを相互接続するように、前記読出し／書込みコントローラにより制御される第四のマルチプレクサを備えることを特徴とするマイクロコントローラ・アーキテクチャ。

【請求項5】 請求項4に記載のマイクロコントローラ・アーキテクチャにおいて、前記I/Oレジスタ・セットが、
前記主データ・バスから、前記システム・インターフェースに送られる状態データを一時的に記憶するために、前記主データ・バスと前記システム・インターフェースとの間に接続している状態レジスタと、
前記システム・インターフェースから受信する入力データを一時的に記憶するために、前記主データ・バスと前記システム・インターフェースとの間に接続している入力レジスタと、
前記主データ・バスから前記システム・インターフェースへ送られる出力データを一時的に記憶するために、前記主データ・バスと前記システム・インターフェースとの間に接続している出力レジスタとを含むことを特徴とするマイクロコントローラ・アーキテクチャ。

【請求項6】 CPUと、前記CPUに接続している主データ・バスと、前記主データ・バスに接続しているI/Oレジスタ・セットと、前記I/Oレジスタ・セットと外部装置との間に接続しているシステム・インターフェースと、前記フラッシュ・メモリ・ユニットのプログラミングを制御するためのプログラム・コードを記憶するための、フラッシュ・メモリ・ユニットを有するタイプの、マイクロコントローラ上で使用するためのプログラミング制御ユニットであって、
前記プログラミング制御ユニットが、
前記フラッシュ・メモリ・ユニットにプログラムされる、新しいファームウェアを受信するために、前記I/Oレジスタ・セットにその入力を送られるラッチ・セットと、

読出しモードで動作中、前記フラッシュ・メモリ・ユニットを選択的に前記主データ・バスに接続し、書込みモードで動作中、前記ラッチ・セットの出力に接続するマルチプレクサ・セットと、

読出しモードで動作中、前記フラッシュ・メモリ・ユニットを前記主データ・バスに接続し、書込みモードの場合、前記フラッシュ・メモリ・ユニットを前記ラッチ・セットの出力に接続するように、前記マルチプレクサ・セットを制御するための選択信号を発生することができ、また読出しモードで動作中、前記ラッチ・セットを動作不能にし、書込みモードで動作中、前記ラッチ・セットの動作を可能にするような方法で、前記ラッチ・セットを制御するためのインエーブル／ディスエーブル信号を発生することができる、プログラミング制御ユニットとを備え、

読出しモードで動作している場合、前記読出し／書込みコントローラが、主データ・バスを前記フラッシュ・メモリ・ユニットに接続し、それにより、前記フラッシュ・メモリ・ユニットに記憶されている前記プログラム・コードを、前記主データ・バスに対して取り出すことができるように前記マルチプレクサ・セットを切り替え、
書込みモードで動作している場合には、前記読出し／書込みコントローラが、ラッチ・セットの出力を前記フラッシュ・メモリ・ユニットに接続し、それにより、前記I/Oレジスタ・セットを通して、前記システム・インターフェースから受信した前記新しいファームウェアを、最初、前記ラッチ・セットに送り、その後で、マルチプレクサ・セットを通してラッチ・セットからフラッシュ・メモリ・ユニットに送り、それにより、前記新しいファームウェアを前記フラッシュ・メモリ・ユニットに書き込むことができるように、前記マルチプレクサ・セットを切り替えることを特徴とするプログラミング制御ユニット。

【請求項7】 請求項6に記載のプログラミング制御ユニットにおいて、前記ラッチ・セットが、
前記I/Oレジスタ・セットを通して、前記システム・インターフェースから受信した消去制御コードをラッチするために、前記マルチプレクサ・セットに接続している出力ポートと、前記主データ・バスに接続している入力ポートを有する第一のラッチと、
前記I/Oレジスタ・セットを通して、前記システム・インターフェースから受信したデータ信号をラッチするために、前記マルチプレクサ・セットに接続している出力ポートと、前記主データ・バスに接続している入力ポートを有する第二のラッチと、
前記I/Oレジスタ・セットを通して、前記システム・インターフェースから受信したアドレス信号をラッチするために、前記マルチプレクサ・セットに接続している出力ポートと、前記主データ・バスに接続している入力ポートを有する第三のラッチとを含むことを特徴とする

プログラミング制御ユニット。

【請求項8】 請求項7に記載のプログラミング制御ユニットにおいて、前記マルチプレクサ・セットが、第一のポート、第二のポート、第三のポート、および選択制御ポートを有し、前記第一のポートが前記主データ・バスに接続し、前記第二のポートが前記ラッチ・セットの第一のラッチの出力ポートに接続し、前記第三のポートが前記フラッシュ・メモリ・ユニットに接続し、前記選択制御ポートが、前記読出し／書込みコントローラから前記選択信号を受信するように接続している第一のマルチプレクサと、

前記第一のマルチプレクサが、読出しモードで動作している場合、前記第三のポートと前記第一のポートを相互接続するように、また書込みモードで動作している場合、前記第三のポートと前記第二のポートを相互接続するように、前記読出し／書込みコントローラにより制御される第一のマルチプレクサと、

第一のポート、第二のポート、第三のポート、および選択制御ポートを有し、前記第一のポートが前記主データ・バスに接続し、前記第二のポートが前記ラッチ・セットの第二のラッチの出力ポートに接続し、前記第三のポートが前記フラッシュ・メモリ・ユニットに接続し、前記選択制御ポートが、前記読出し／書込みコントローラから前記選択信号を受信するように接続して、読出しモードで動作している場合、前記第三のポートと前記第一のポートを相互接続し、また書込みモードで動作している場合、前記第三のポートと前記第二のポートを相互接続するように、前記読出し／書込みコントローラにより制御される第二のマルチプレクサと、

第一のポート、第二のポート、第三のポート、および選択制御ポートを有し、前記第一のポートが前記主データ・バスに接続し、前記第二のポートが前記ラッチ・セットの第三のラッチの出力ポートに接続し、前記第三のポートが前記フラッシュ・メモリ・ユニットに接続し、前記選択制御ポートが、前記読出し／書込みコントローラから前記選択信号を受信するように接続して、読出しモードで動作している場合、前記第三のポートと前記第一のポートを相互接続し、また書込みモードで動作している場合、前記第三のポートと前記第二のポートを相互接続するように、前記読出し／書込みコントローラにより制御される第三のマルチプレクサとを備えることを特徴とするプログラミング制御ユニット。

【請求項9】 請求項8に記載のプログラミング制御ユニットにおいて、さらに、

第一のポート、第二のポート、第三のポート、および選択制御ポートを有し、前記第一のポートが前記主データ・バスに接続し、前記第二のポートが前記第二のマルチプレクサ2の第二のポートに接続し、前記第三のポートが前記I/Oレジスタ・セットに接続し、前記選択制御ポートが、前記読出し／書込みコントローラから前記選

択信号を受信するように接続して、読出しモードで動作している場合、前記第三のポートと前記第一のポートを相互接続し、また書込みモードで動作している場合、前記第三のポートと前記第二のポートを相互接続するように、前記読出し／書込みコントローラにより制御される第四のマルチプレクサを備えることを特徴とするプログラミング制御ユニット。

【請求項10】 請求項9に記載のプログラミング制御ユニットにおいて、前記I/Oレジスタ・セットが、前記主データ・バスから、前記システム・インターフェースに送られる状態データを一時的に記憶するために、前記主データ・バスと前記システム・インターフェースとの間に接続している状態レジスタと、

前記システム・インターフェースから受信する入力データを一時的に記憶するために、前記主データ・バスと前記システム・インターフェースとの間に接続している入力レジスタと、

前記主データ・バスから前記システム・インターフェースへ送られる出力データを一時的に記憶するために、前記主データ・バスと前記システム・インターフェースとの間に接続している出力レジスタとを含むことを特徴とするプログラミング制御ユニット。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロコントローラ・アーキテクチャに係り、特に埋設フラッシュ・メモリおよびフラッシュ・メモリ用のオンチップ・プログラミング機能を持つマイクロコントローラ・アーキテクチャに関する。

【0002】

【従来の技術】〈関連出願への相互参照〉本出願は、その全文を引用によって本明細書の記載に援用した、1998年10月6日付の台湾特許出願番号87116528の優先権の利益を主張する。IBM互換パソコン(PC)のようなコンピュータ・システムにおいては、インテル社の8042または8742マイクロコントローラのような専用マイクロコントローラが、キーボードまたはマウスのような周辺入力装置からのデータ入力の制御に使用されている。8042ユニットは、2K×8ROM(読出し専用メモリ)と一緒に埋設されていて、一方、8742ユニットは、EEPROM(電氣的に消去可能で、プログラム可能な読出し専用メモリ)またはフラッシュ・メモリのような、2K×8再プログラム可能なメモリ・ユニットと一緒に埋設されている。これら埋設メモリ・ユニットは、キーボードまたはマウスからのデータ信号の入力制御用のファームウェアを記憶するために使用される。

【0003】種々の異なる国々で使用するために設計したキーボードのような種々の種類のキーボードが、パソコンと一緒に使用ために市販されているので、マイクロ

コントローラに予め設置されているキーボード/マウス入力制御用ファームウェアは、新しいキーボードを使用する場合には、互換性を実現するために交換しなければならない。8042ユニットの埋設ROMは、再プログラムすることができない。8742ユニットの場合には、その埋設EEPROMまたはフラッシュ・メモリは、再プログラムが可能であるが、その場合には、ICパッケージに内蔵されている8742ユニットを、最初、パソコンの内部の回路基板から取り外し、その後で特殊なプログラマにより再プログラムし、最後に新しいファームウェアをプログラムしてから、回路基板に再度取り付けなければならないので、再プログラムするのが面倒である。それ故、再プログラムの作業が不便で、面倒で、コストが掛かる。図1および図2を参照しながら、以下に従来のマイクロコントローラ・アーキテクチャを説明する。

【0004】図3は、キーボード/マウス入力を制御するために、パソコンと一緒に使用する、従来のマイクロコントローラのアーキテクチャを示す、簡単なブロック図である。このマイクロコントローラは、インテル社の8042および8742仕様と互換性を持つ。図に示すように、参照番号100で示す従来のマイクロコントローラ・アーキテクチャは、CPU（中央処理装置）110、クロック・ゼネレータ115、I/Oレジスタ・セット120（状態レジスタ121、入力レジスタ122、および出力レジスタ123を含む）、データ・メモリ・ユニット131、プログラム・コード・メモリ・ユニット132、I/O（入力/出力）ユニット117、およびタイマー/カウンタ118を備える。使用中、マイクロコントローラ100は、システム・インターフェース190を通して、IBM互換パソコン（PC）のようなホスト・コンピュータ191に接続している。一方、I/Oユニット117は、キーボード181およびマウス182のような複数の周辺入力装置に接続している。

【0005】CPU110は、マイクロコントローラ100の全体の動作を制御する。クロック・ゼネレータ115は、CPU100の動作を駆動するためのクロック信号を発生するために使用される。タイマー/カウンタ・ユニット118は、マイクロコントローラ100の特定の動作に対して、タイマーまたはカウンタとして選択的に使用される。I/Oレジスタ・セット120は、システム・インターフェース190を通して、マイクロコントローラ100とホスト・コンピュータ191との間を移動するI/Oデータおよびコマンドを一時的に記憶するのに使用される。状態レジスタ121は、システム・インターフェース190を通して、マイクロコントローラ100から、ホスト・コンピュータ191に送られる状態データを一時的に記憶するのに使用される。入力レジスタ122は、システム・インターフェース190

を通して、ホスト・コンピュータ191から受信する入力データを一時的に記憶するのに使用される。出力レジスタ123は、システム・インターフェース190を通して、マイクロコントローラ100からホスト・コンピュータ191に送られる出力データを一時的に記憶するのに使用される。

【0006】このマイクロコントローラ100においては、プログラム・コードおよびデータは異なるメモリ・ユニットに別々に記憶される。すなわち、プログラム・コードはプログラム・コード・メモリ・ユニット132に記憶され、一方、マイクロコントローラ100の動作中に発生したデータは、データ・メモリ・ユニット131に記憶される。データ・メモリ・ユニット131は、揮発性メモリであり、一方、プログラム・コード・メモリ・ユニット132は、固定ROM、EPROM（電気的にプログラム可能な読み出し専用メモリ）またはフラッシュ・メモリの中のどれかである。プログラム・コード・メモリ・ユニット132に記憶されたプログラム・コードは、I/Oユニット117を通して、マイクロコントローラ100に接続しているキーボード181およびマウス182の入力制御を行うために使用される。図4は、キーボード/マウス入力制御の手順のステップを示す。

【0007】図3と一緒に図4について説明すると、第一のステップ210においては、コンピュータの電源をオンにするか、コンピュータをリセットした直後に初期化が行われる。初期化の際に行われる動作は、コンピュータ業界では周知であるので、ここでは詳細な説明は省略する。この初期化が終了すると、上記手順は次のステップ220へ行く。ステップ220においては、キーボード要求をキーボード181に送るべきかどうかのチェックが行われる。「イエス」である場合には、手順はステップ221へ行き、そこでシステム・インターフェース190を通して、ホスト・コンピュータ191からキーボード要求が取りだされる。その後、手順はステップ222へ行き、そこでキーボード要求が、I/Oユニット117を通して、キーボード181に送られる。この手順が終了すると、手順はステップ220に戻り、ステップ220からのプログラム・ループが反復して行われる。ステップ220の結果が「ノー」である場合には、手順はステップ230へ行く。

【0008】ステップ230においては、マウス要求をマウス282に送るべきかどうかのチェックが行われる。「イエス」である場合には、手順はステップ231へ行き、そこでシステム・インターフェース190を通して、ホスト・コンピュータ191からマウス要求が取りだされる。その後、手順はステップ232へ行き、そこでこのマウス要求がI/Oユニット117を通してマウス182に送られる。この手順が終了すると、手順はステップ220に戻り、ステップ220からのプログラ

ム・ループが反復して行われる。ステップ230の結果が「ノー」である場合には、手順はステップ240へ行く。

【0009】ステップ240においては、キーボード・データ信号が、キーボード181から入力中であるかどうかのチェックが行われる。「イエス」である場合には、手順はステップ241へ行き、そこでキーボード・データ信号が、I/Oユニット117を通してキーボード181から受信される。その後、手順はステップ242へ行き、そこで受信キーボード・データ信号が、システム・インターフェース190を通して、ホスト・コンピュータ191に送られる。この手順が終了すると、手順はステップ220に戻り、ステップ220からのプログラム・ループが反復して行われる。ステップ240の結果が「ノー」である場合には、手順はステップ250へ行く。

【0010】ステップ250においては、マウス・データ信号が、マウス182から入力中であるかどうかのチェックが行われる。「イエス」である場合には、手順はステップ251へ行き、そこでマウス・データ信号が、I/Oユニット117を通してマウス182から受信される。その後、手順はステップ252へ行き、そこで受信マウス・データ信号が、システム・インターフェース190を通してホスト・コンピュータ191に送られる。この手順が終了すると、手順はステップ220に戻り、ステップ220からのプログラム・ループが反復して行われる。ステップ250の結果が「ノー」である場合には、手順はステップ220へ行く。

【0011】

【発明が解決しようとする課題】上記手順は、図3のプログラム・コード・メモリ・ユニット132で、ファームウェアとして実行される。しかし、図3のマイクロコントローラ・アーキテクチャの一つの欠点は、プログラム・コード・メモリ・ユニット132に記憶されているファームウェアを再プログラムできないか、再プログラムするのが難しいということである。プログラム・コード・メモリ・ユニット132が、ROMである場合には、ファームウェアは固定されていて、全ROMを新しいファームウェアを記憶している新しいものと交換しない限りは更新することができない。EPROMの場合には、ファームウェアを更新することができるが、その場合は、EPROMを、最初、回路基板から取り外し、その後で特殊なプログラマにより再プログラムし、最後に、回路基板に再度取り付けなければならないので、再プログラム作業が不便で面倒である。それ故、再プログラム作業は非常にコストが掛かる。

【0012】それ故、本発明の一つの目的は、埋設フラッシュ・メモリと、フラッシュ・メモリ用のオンチップ・プログラミング機能を持つマイクロコントローラ・アーキテクチャであって、埋設フラッシュ・メモリに記憶

されているファームウェアが、従来技術と比較して、再プログラミングがより便利に容易に行えるように、回路基板からマイクロコントローラを取り外さなくても、チップ上でプログラミングを行うことができるようにするマイクロコントローラ・アーキテクチャを提供することである。

【0013】

【課題を解決するための手段】本発明の上記および他の目的により、オンチップ・プログラミング機能を持つ、新しいマイクロコントローラ・アーキテクチャを実現することができる。動作中、マイクロコントローラは、システム・インターフェースを通して、PCのような外部ユニットに接続している。本発明のマイクロコントローラ・アーキテクチャは、CPU、主データ・バス、I/Oレジスタ・セット、フラッシュ・メモリ・ユニット、ラッチ・セット、マルチプレクサ・セット、およびプログラミング制御ユニットを備える。

【0014】主データ・バスは、CPUに接続している。I/Oレジスタ・セットは、CPUとシステム・インターフェースとの間に接続している。フラッシュ・メモリ・ユニットは、プログラム・コードを記憶するために使用される。その入力がI/Oレジスタ・セットに接続しているラッチ・セットは、フラッシュ・メモリ・ユニットにプログラムされる新しいファームウェアを受信するために使用される。マルチプレクサ・セットは、読出しモードで動作中、フラッシュ・メモリ・ユニットを選択的に主データ・バスに接続し、書込みモードの場合、フラッシュ・メモリ・ユニットをラッチ・セットの出力に接続する。プログラミング制御ユニットは、読出しモードで動作中、フラッシュ・メモリ・ユニットを主データ・バスに接続し、書込みモードの場合、フラッシュ・メモリ・ユニットをラッチ・セットの出力に接続するように、マルチプレクサ・セットを制御するための選択信号を発生することができる。プログラミング制御ユニットは、また読出しモードで動作中、ラッチ・セットを動作不能にし、書込みモードで動作中、ラッチ・セットの動作を可能にするような方法で、ラッチ・セットを制御するためのイネーブル/ディスエーブル信号を発生することができる。

【0015】読出しモードで動作している場合、読出し/書込みコントローラは、主データ・バスをフラッシュ・メモリに接続するような方法で、マルチプレクサ・セットを切り替え、フラッシュ・メモリ・ユニットに記憶されているプログラム・コードが、主データ・バスから取り出される。書込みモードで動作している場合には、読出し/書込みコントローラは、ラッチ・セットの出力をフラッシュ・メモリに接続するようにマルチプレクサ・セットを切り替える。I/Oレジスタ・セットを通して、システム・インターフェースから受信した、新しいファームウェアは、最初、ラッチ・セットに送られ、そ

の後で、マルチプレクサ・セットを通して、ラッチ・セットからフラッシュ・メモリ・ユニットに送られ、それにより、新しいファームウェアは、フラッシュ・メモリ・ユニットに書き込みを行うことができる。

【0016】上記の新しいマイクロコントローラ・アーキテクチャは、マイクロコントローラの埋設フラッシュ・メモリに記憶しているファームウェアが、チップ上において簡単にプログラムを行うことができるようにするオンチップ・プログラミング機能を備える。本発明を使用すれば、コンピュータ・マザーボードからマイクロコントローラ全体を取り外さなくても、ホスト・コンピュータからのソフトウェア制御によりプログラミングを行うことができる。それ故、従来技術と比較すると、プログラミング作業をより簡単に容易に行うことができる。

【0017】ラッチ・セットは、第一のラッチ、第二のラッチおよび第三のラッチを含む。第一のラッチは、マルチプレクサ・セットに接続している出力ポートと、主データ・バスに接続している入力ポートを有する。第一のラッチは、I/Oレジスタ・セットを通して、システム・インターフェースから受信した消去制御コードをラッチするために使用される。第二のラッチは、マルチプレクサ・セットに接続している出力ポートと、主データ・バスに接続している入力ポートを有する。第二のラッチは、I/Oレジスタ・セットを通してシステム・インターフェースから受信したデータ信号をラッチするために使用される。第三のラッチは、マルチプレクサ・セットに接続している出力ポートと、主データ・バスに接続している入力ポートを有する。第三のラッチは、I/Oレジスタ・セットを通してシステム・インターフェースから受信したアドレス信号をラッチするために使用される。

【0018】マルチプレクサ・セットは、第一のマルチプレクサ、第二のマルチプレクサおよび第三のマルチプレクサを含む。各マルチプレクサは、第一のポート、第二のポート、第三のポート、および選択制御ポートを有する。第一のポートは、主データ・バスに接続している。第二のポートは、ラッチ・セットの対応するラッチの出力ポートに接続している。第三のポートは、フラッシュ・メモリ・ユニットに接続している。選択制御ポートは、読出し/書き込みコントローラから選択信号を受信するように接続している。さらに、各マルチプレクサは、読出しモードで動作している場合、第三のポートと第一のポートを相互接続するように、また書き込みモードで動作している場合、第三のポートと第二のポートを相互接続するように読出し/書き込みコントローラにより制御される。

【0019】マイクロコントローラ・アーキテクチャは、さらに、第四のマルチプレクサを備える。第四のマルチプレクサは、第一のポート、第二のポート、第三のポート、および選択制御ポートを有する。第一のポート

は、主データ・バスに接続している。第二のポートは、第二のマルチプレクサの第二のポートに接続している。第三のポートは、I/Oレジスタ・セットに接続している。選択制御ポートは、読出し/書き込みコントローラから、選択信号を受信するように接続している。同様に、第四のマルチプレクサは、読出しモードで動作している場合、第三のポートと第一のポートを相互接続するように、また書き込みモードで動作している場合、第三のポートと第二のポートを相互接続するように、読出し/書き込みコントローラにより制御される。

【0020】I/Oレジスタ・セットは、状態レジスタ、入力レジスタおよび出力レジスタを含む。主データ・バスと、システム・インターフェースとの間に接続している状態レジスタは、主データ・バスからシステム・インターフェースへ送られる状態データを一時的に記憶するのに使用される。主データ・バスと、システム・インターフェースとの間に接続している入力レジスタは、システム・インターフェースから受信する入力データを一時的に記憶するのに使用される。主データ・バスと、システム・インターフェースとの間に接続している出力レジスタは、主データ・バスからシステム・インターフェースへ送られる出力データを一時的に記憶するのに使用される。添付の図面を参照しながら、好適な実施形態の下記の詳細な説明を読めば、本発明をより完全に理解することができる。

【0021】

【発明の実施の形態】図1および図2を参照しながら、以下に本発明のマイクロコントローラ・アーキテクチャの好適な実施形態について説明する。図1について説明すると、参照番号300で示す本発明のマイクロコントローラ・アーキテクチャは、CPU310、クロック・ゼネレータ315、I/Oレジスタ・セット320（状態レジスタ321、入力レジスタ322、および出力レジスタ323を含む）、データ・メモリ・ユニット331、フラッシュ・メモリ・ユニット332により実行されるプログラム・コード・メモリ・ユニット332、プログラミング制御ユニット350、I/Oユニット317、およびタイマー/カウンタ318を備える。使用中、マイクロコントローラ300は、システム・インターフェース390を通して、IBM互換パソコン（PC）のような、ホスト・コンピュータ391に接続している。一方、I/Oユニット317は、キーボード381およびマウス382のような複数の周辺入力装置に接続することができる複数の接続ポートを有する。

【0022】CPU310は、マイクロコントローラ300の全体の動作を制御する。クロック・ゼネレータ315は、CPU310の動作を駆動するためのクロック信号を発生するために使用される。タイマー/カウンタ・ユニット318は、マイクロコントローラ300の特定の動作に対して、タイマーまたはカウンタとして選択

的に使用される。

【0023】I/Oレジスタ・セット320は、システム・インターフェース390を通して、マイクロコントローラ300とホスト・コンピュータ391との間を移動するI/Oデータおよびコマンドを一時的に記憶するのに使用される。状態レジスタ321は、システム・インターフェース390を通して、マイクロコントローラ300からホスト・コンピュータ391に送られる状態データを一時的に記憶するのに使用される。入力レジスタ322は、システム・インターフェース390を通して、ホスト・コンピュータ391から受信する入力データを一時的に記憶するのに使用される。出力レジスタ323は、システム・インターフェース390を通して、マイクロコントローラ300からホスト・コンピュータ391に送られる出力データを一時的に記憶するのに使用される。

【0024】本発明の特徴は、マイクロコントローラ300の特定の機能を実行する制御ファームウェアを記憶するためのフラッシュ・メモリ・ユニット332を備えることと、フラッシュ・メモリ・ユニット332に記憶しているファームウェアのオンチップ・プログラミングを行うための関連プログラミング制御ユニット350を備えることである。その詳細については以下に説明する。このマイクロコントローラ300においては、プログラム・コードおよびデータは異なるメモリ・ユニットに別々に記憶される。すなわち、プログラム・コードは、フラッシュ・メモリ・ユニット332に記憶され、一方、マイクロコントローラの動作中に発生した一時的なデータは、揮発性メモリであるデータ・メモリ・ユニット331に記憶される。

【0025】プログラミング制御ユニット350は、フラッシュ・メモリ・ユニット332への新しいファームウェアのプログラミングを制御するのに使用される。図1に示すように、プログラミング制御ユニット350は、読出し/書込みコントローラ351、一組のマルチプレクサ352（第一のマルチプレクサ361、第二のマルチプレクサ362、および第三のマルチプレクサ363を含む）、一組のラッチ353（第一のラッチ371、第二のラッチ372、および第三のラッチ373を含む）、および独立の第四のマルチプレクサ354を含む。

【0026】マイクロコントローラ300は、フラッシュ・メモリ・ユニット332上での動作をフラッシュ・メモリ・ユニット332に記憶したファームウェアを実行のために取り出す場合には、書込みモードに切り替えることができ、また新しいファームウェアをフラッシュ・メモリ・ユニット332にプログラムする場合には、書込みモードに切り替えることができる。

【0027】読出しモードの場合には、読出し/書込みコントローラ351は、主データ・バス305をフラッ

シュ・メモリ332に接続し、それにより、CPU310が、フラッシュ・メモリ・ユニット332に記憶しているプログラム・コードにアクセスできるように、マルチプレクサ・セット352（すなわち、第一、第二および第三のマルチプレクサ361、362、363）を切り替える。

【0028】書込みモードの場合には、読出し/書込みコントローラ351は、ラッチ・セット353（すなわち、第一、第二および第三のラッチ371、372、373）をフラッシュ・メモリ332に接続するように、マルチプレクサ・セット352を切り替える。このモードの場合、フラッシュ・メモリ・ユニット332にプログラムされる新しいプログラムは、最初、システム・インターフェース390を通して、ホスト・コンピュータ391により入力レジスタ322に送られ、その後、主データ・バス305を通してラッチ・セット353に送られる。それ故、ラッチ・セット353が、マルチプレクサ・セット352を通して、フラッシュ・メモリ・ユニット332に接続している場合には、マルチプレクサ・セット352に一時的に記憶された新しいプログラム・コードをフラッシュ・メモリ・ユニット332に送り、その内部に書き込むことができる。

【0029】第四のマルチプレクサ354も、読出し/書込みコントローラ351により制御される。読出しモードの場合、読出し/書込みコントローラは、主データ・バス305を出力レジスタ323に接続するように第四のマルチプレクサ354を切り替える。書込みモードの場合には、第四のマルチプレクサ354は、フラッシュ・メモリ・ユニット332に、すでにプログラムした新しいプログラム・コードを確認のために取り出して、ホスト・コンピュータ391に送ることができるように、第二のマルチプレクサ362のBポートを出力レジスタ323に接続する。

【0030】フラッシュ・メモリ・ユニット332は、プログラム・コード用のアドレス・データを受信するためのアドレス・ポートA、データ入力および出力用のデータ・ポートD、および消去/書込み制御コードを受信するための制御ポートCを有する。アドレス・ポートAは、第三のマルチプレクサ363のYポートに接続し、データ・ポートDは、第二のマルチプレクサ362のYポートに接続し、制御ポートCは、第一のマルチプレクサ361のYポートに接続している。ラッチ・セット353の第一、第二および第三のラッチ371、372、373は、読出し/書込みコントローラ351からの単一のイネーブル/ディスエーブル信号により制御される。しかし、実際には、第一、第二および第三のラッチ371、372、373は、所定のシーケンスで発生した異なる信号によっても動作させることができる。例えば、入力レジスタ322の幅が8ビット、データ・ポートDの幅が8ビット、アドレス・ポートAの幅が11ビ

ットである場合、読出し／書込みコントローラ351は、下位の8ビットおよび上位の8ビットを継続してフラッシュ・メモリ・ユニット332に送ることができるように、受信したデータを所定の制御シーケンスでラッチするため、対応するラッチが動作できるように設計することができる。

【0031】通常の動作中には、マイクロコントローラ300は、フラッシュ・メモリ・ユニット332に記憶したプログラム・コードを取り出し、実行するために、読出しモードでフラッシュ・メモリ・ユニット332を動作する。このモードの場合、読出し／書込みコントローラ351は、選択信号SAを第一の論理状態に切り替え、それにより、マルチプレクサ・セット352（すなわち、第一、第二および第三のマルチプレクサ361、362、363すべて）に、主データ・バス305をフラッシュ・メモリ・ユニット332に接続させ、同時に、第四のマルチプレクサ354を主データ・バス305に接続させる。そうすることにより、CPU310は、フラッシュ・メモリ・ユニット332に記憶したプログラム・コードを取り出し、実行することができる。フラッシュ・メモリ・ユニット332に記憶した、ファームウェアを更新する必要がある場合、ホスト・コンピュータ391は、システム・インターフェース390を通して、マイクロコントローラ300にプログラミング要求信号を送る。それに応じて、マイクロコントローラ300は、フラッシュ・メモリ・ユニット332ファームウェアの動作を読出しモードに切り替える。

【0032】書込みモードの場合には、フラッシュ・メモリ・ユニット332にプログラムする新しいファームウェアが、システム・インターフェース390を通して、ホスト・コンピュータ391によりラッチ・セット353に送られ、同時に、読出し／書込みコントローラ351は、選択信号SAを第二の論理状態に切り替え、それにより、マルチプレクサ・セット352（すなわち、第一、第二および第三のマルチプレクサ361、362、363すべて）に、フラッシュ・メモリ・ユニット332をラッチ・セット353（すなわち、第一、第二および第三のラッチ371、372、373）の出力に接続させる。新しいファームウェアは、その後、消去／書込み制御コードが、第一のラッチ371にラッチされるように、ラッチ・セット353に一時的に記憶される。新しいプログラム・コードは、第二のラッチ372に記憶される。アドレス・データは、第三のラッチ373にラッチされる。それ故、マルチプレクサ・セット352が、ラッチ・セット353をフラッシュ・メモリ・ユニット332に接続している場合には、消去／書込み制御コードは、最初、フラッシュ・メモリ・ユニット332の古いファームウェアの消去を制御するために、フラッシュ・メモリ・ユニット332に送られる。その後、新しいプログラム・コードが、第二のラッチ372

から、フラッシュ・メモリ・ユニット332に送られ、第三のラッチ373にラッチされているアドレス・データにより指定されたアドレスに記憶される。

【0033】選択信号SAが第二の状態である場合には、この信号により、そのYポートとBポートとを相互接続し、それにより、第二のマルチプレクサ362のBポートを接続し、フラッシュ・メモリ・ユニット332のDポートが、出力レジスタ323に接続するように、第四のマルチプレクサ354が切り替えられる。それ故、プログラミング・プロセスが終了すると、ホスト・コンピュータ391は、システム・インターフェース390および出力レジスタ323を通して、新しいプログラム・コードを確認するために、フラッシュ・メモリ・ユニット332のプログラム済みの新しいプログラム・コードに、直ちにアクセスすることができる。確認の結果、新しいプログラム・コードが正しい場合には、ホスト・コンピュータ391は、システム・インターフェース390を通して、マイクロコントローラ300に肯定応答信号を発行し、それにより、マイクロコントローラ300が、フラッシュ・メモリ・ユニット332上の動作を読出しモードに切り替える。これにより、新しいファームウェアのフラッシュ・メモリ・ユニット332へのプログラミングが終了する。

【0034】このアーキテクチャを使用して、マイクロコントローラ300は、I/Oユニット317を通して、マイクロコントローラ300に接続している、キーボード381およびマウス382を含む、周辺入力装置を制御するのに使用するフラッシュ・メモリ・ユニット332に記憶したプログラム・コードを更新することができる。キーボード／マウス入力制御ファームウェアを更新する必要がある場合には、システム・インターフェース390を通して、ホスト・コンピュータ391からマイクロコントローラ300へプログラミング要求が発行される。それに応じて、マイクロコントローラ300は、フラッシュ・メモリ・ユニット332への新しいファームウェアのプログラミングを開始するために、プログラミング制御ユニット350を作動させる。その後で、周辺入力装置の入力制御を行うために、新しいプログラム・コードが実行される。

【0035】図2は、図1の本発明のマイクロコントローラの埋設フラッシュ・メモリ332に記憶されたファームウェアに含まれる手順のステップを示すフローチャートである。図1および図2について説明すると、第一のステップ410においては、コンピュータ391の電源をオンにするか、リセットした直後に初期化が行われる。初期化の際に行われる動作は、コンピュータ業界では周知であるので、ここでは詳細な説明は省略する。初期化が終了すると、上記手順は次のステップ420へ行く。

【0036】ステップ420においては、キーボード要

求をキーボード381に送るべきかどうかのチェックが行われる。「イエス」である場合には、手順はステップ421へ行き、そこでシステム・インターフェース390を通して、ホスト・コンピュータ391からキーボード要求が取り出される。その後、手順はステップ422へ行き、そこでキーボード要求が、I/Oユニット317を通して、キーボード381に送られる。この手順が終了すると、手順はステップ420に戻り、ステップ420からのプログラム・ループが反復して行われる。ステップ420の結果が「ノー」である場合には、手順はステップ430へ行く。

【0037】ステップ430においては、マウス要求をマウス382に送るべきかどうかのチェックが行われる。「イエス」である場合には、手順はステップ431へ行き、そこでシステム・インターフェース390を通して、ホスト・コンピュータ391からマウス要求が取り出される。その後、手順はステップ432へ行き、そこでマウス要求がI/Oユニット317を通して、マウス382に送られる。この手順が終了すると、手順はステップ420に戻り、ステップ420からのプログラム・ループが反復して行われる。ステップ420の結果が「ノー」である場合には、手順はステップ440へ行く。

【0038】ステップ440においては、キーボード・データ信号が、キーボード381から入力中であるかどうかのチェックが行われる。「イエス」である場合には、手順はステップ441へ行き、そこでキーボード・データ信号が、I/Oユニット317を通して、キーボード381から受信される。その後、手順はステップ442へ行き、そこで受信キーボード・データ信号が、システム・インターフェース390を通して、ホスト・コンピュータ391に送られる。この手順が終了すると、手順はステップ420に戻り、ステップ420からのプログラム・ループが反復して行われる。ステップ440の結果が「ノー」である場合には、手順はステップ450へ行く。

【0039】ステップ450においては、マウス・データ信号が、マウス382から入力中であるかどうかのチェックが行われる。「イエス」である場合には、手順はステップ451へ行き、そこでマウス・データ信号が、I/Oユニット317を通して、マウス382から受信される。その後、手順はステップ452へ行き、そこで受信マウス・データ信号が、システム・インターフェース390を通して、ホスト・コンピュータ391に送られる。この手順が終了すると、手順はステップ420に戻り、ステップ420からのプログラム・ループが反復して行われる。ステップ450の結果が「ノー」である場合には、手順はステップ460へ行く。

【0040】ステップ460においては、プログラミング要求信号が、受信中であるかどうかのチェックが行わ

れる。「イエス」である場合には、手順はステップ461へ行き、そこでフラッシュ・メモリ・ユニット332上の動作が、書込みモードに切り替えられる。その後、手順はステップ462に行き、そこで新しいプログラム・コードが、システム・インターフェース390を通して、ホスト・コンピュータ391から受信され、フラッシュ・メモリ・ユニット332の特定のアドレスに書き込まれる。書込み動作が終了すると、フラッシュ・メモリ・ユニット332に記憶された新しいプログラム・コードが、確認のために取り出され、ホスト・コンピュータ391に送られる。この手順が終了すると、手順はステップ420に戻り、ステップ420からのプログラム・ループが反復して行われる。ステップ460の結果が「ノー」である場合には、手順はステップ420へ戻る。

【0041】つまり、本発明は、マイクロコントローラの埋設フラッシュ・メモリ・ユニットに記憶したファームウェアがチップ上で、容易にプログラムを行えるようにするオンチップ・プログラミング機能を持つ、新しいマイクロコントローラ・アーキテクチャを提供する。マイクロコントローラは、例えば、ホスト・コンピュータと、キーボードおよびマウスのような複数の周辺入力装置との間に接続しているデータ入力コントローラとして使用することができる。キーボード/マウス入力制御ファームウェアを更新する必要がある場合には、要求は、最初、ホスト・コンピュータからマイクロコントローラに送られ、その応じて、マイクロコントローラのプログラミング制御ユニットが、マイクロコントローラの埋設フラッシュ・メモリへの新しいファームウェアのプログラミングを制御する。ホスト・コンピュータ側には、ユーザが、マイクロコントローラを取り外さないで、ソフトウェア制御によりプログラミングを行い、その後、プログラミングを行うための特殊なプログラミング装置を使用することができるように、装置ドライバを設置することができる。

【0042】それ故、本発明のマイクロコントローラ・アーキテクチャは、従来技術より優れている。本発明を使用すれば、コンピュータのマザーボードから、マイクロコントローラ・ユニット全体を取り外さないで、ホスト・コンピュータからのソフトウェア制御によりプログラミングを行うことができる。それ故、従来技術と比較すると、プログラミング作業をより簡単にまたより容易に行うことができる。例示としての好適な実施形態により本発明を説明してきたが、本発明の範囲は開示した実施形態の限定されないことを理解されたい。それどころか、種々の修正および類似の装置も本発明に含まれる。それ故、上記すべての修正および類似の装置がすべて本発明の範囲に含まれるように特許請求の範囲を広く解釈すべきである。

【図面の簡単な説明】

【図1】本発明のオンチップ・プログラミング機能を持つマイクロコントローラのアーキテクチャを示すブロック図である。

【図2】図1の本発明のマイクロコントローラの埋設フラッシュ・メモリに記憶されたファームウェアに含まれる手順のステップを示すフローチャートである。

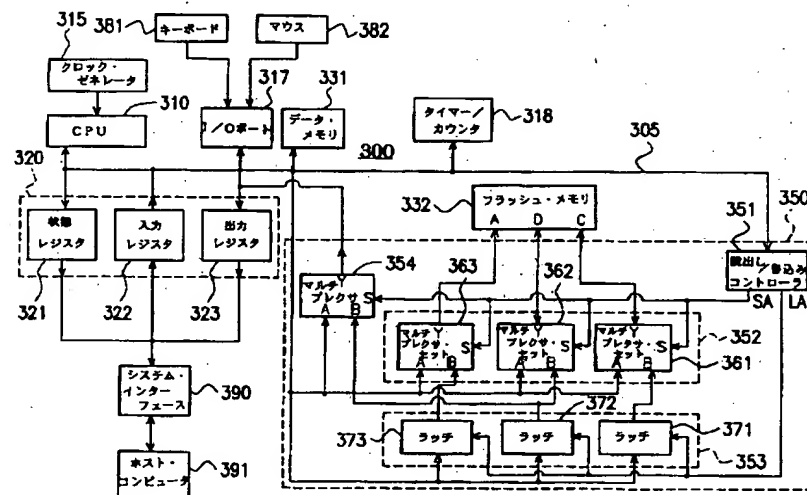
【図3】従来のマイクロコントローラの簡単なブロック図である。

【図4】図3の従来のマイクロコントローラのメモリに記憶されたファームウェアに含まれる手順のステップを示すフローチャートである。

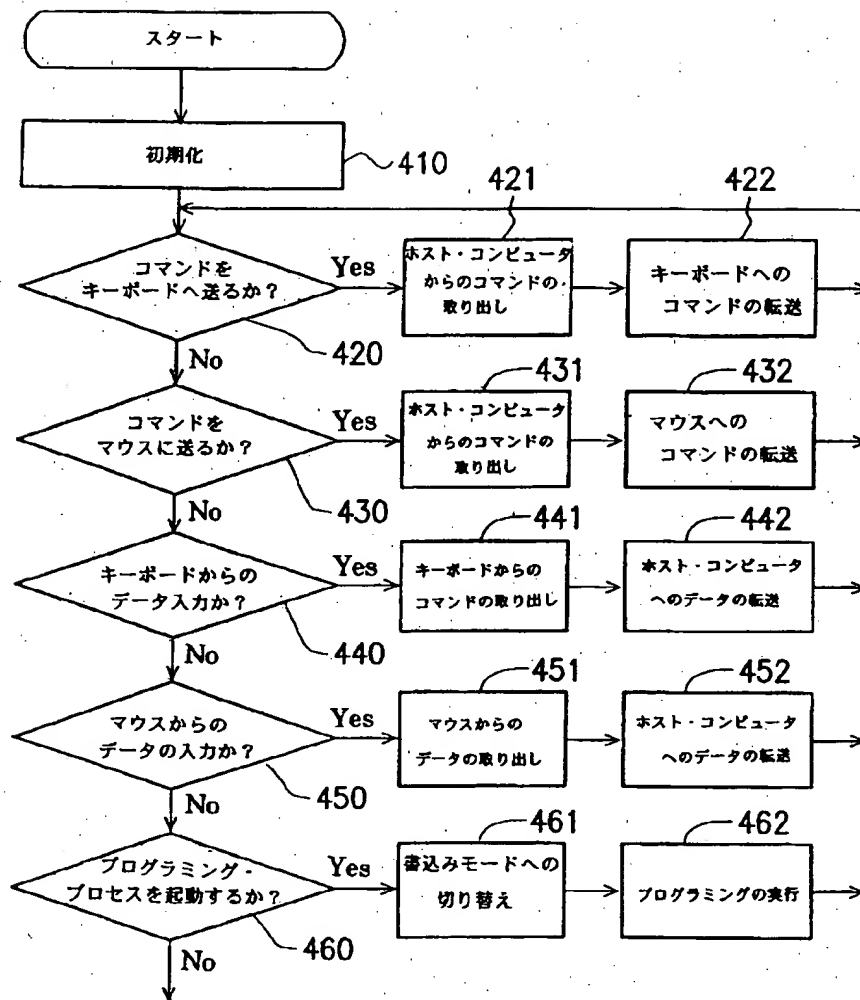
【符号の説明】

- 300 マイクロコントローラ
- 305 主データ・バス
- 310 CPU
- 318 タイマー／カウンタ・ユニット
- 320 I/Oレジスタ・セット
- 332 フラッシュ・メモリ・ユニット
- 350 プログラミング制御ユニット
- 351 読出し／書き込みコントローラ
- 352 マルチプレクサ・セット
- 353 ラッチ・セット
- 354 第四のマルチプレクサ

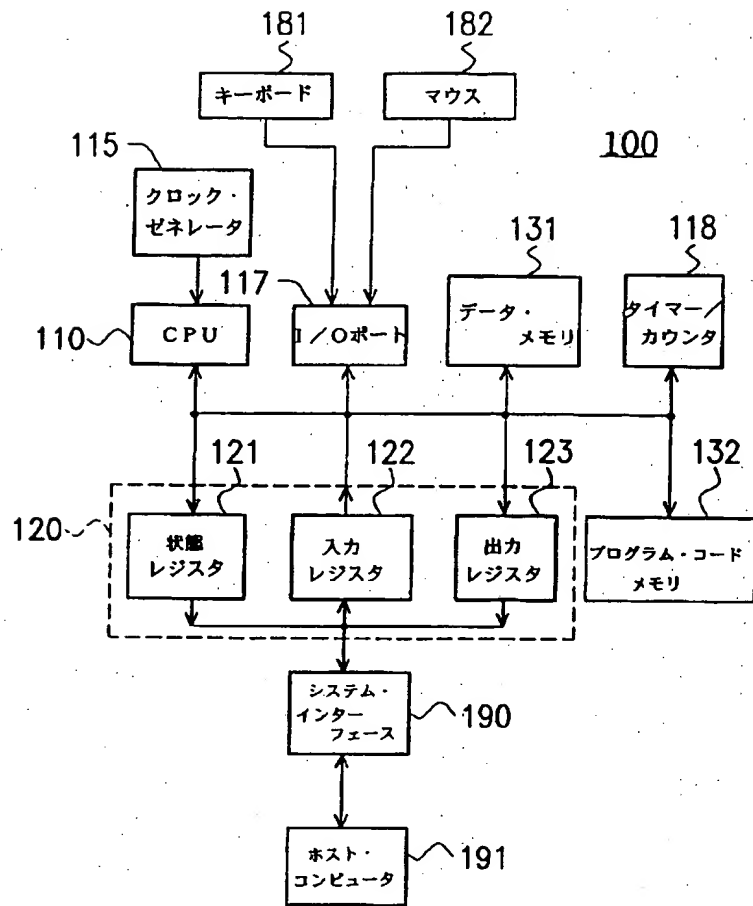
【図1】



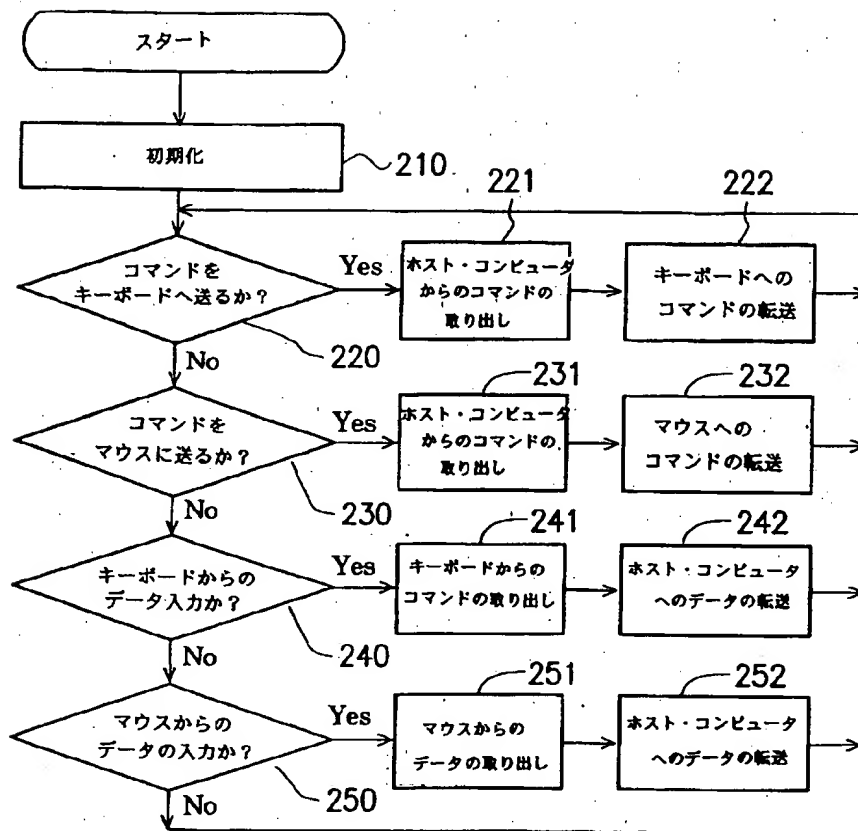
【図2】



【図3】



【図4】



フロントページの続き

(71)出願人 596068419

No. 4, Creation Road I
II, Science-Based In
dustrial Park, Hsinc
hu City, Taiwan, R. O.
C.